



CLIPPED IMAGE = JP359055033A

PAT-NO: JP359055033A

DOCUMENT-IDENTIFIER: JP 59055033 A

TITLE: FORMATION OF INTERELEMENT ISOLATING FILM

PUBN-DATE: March 29, 1984

INVENTOR-INFORMATION:

NAME

SHIOTANI, YOSHIMI

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP57165740

APPL-DATE: September 22, 1982

INT-CL_(IPC): H01L021/76; H01L021/302; H01L021/31

US-CL-CURRENT: 438/427

ABSTRACT:

PURPOSE: To enable to form the insulating film for interelement isolation with a small area by a method wherein after silicon nitride films are formed on the surfaces of phosphosilicate glass buried in etched grooves formed to a silicon substrate, a remaining SiO_2 film on the surface of the substrate is removed.

CONSTITUTION: A PSG film 14 formed at the part other than the upper parts of the V-shaped grooves 12 is removed according to reactive ion etching using CF_4 gas and using a photo resist film patterned on the Si substrate 11 as the mask. Then after a photo resist film is formed on the substrate 11 excluding the parts of the PSG films 14 buried in the V-shaped grooves 12, the silicon nitride films 15 are formed on the PSG films 14 of the V-shaped grooves 12 using ammonia gas and silicon dichloride gas according to the CVD method. After then, photo resist films are formed again by patterning only on the PSG films 14 of the V-shaped grooves 12, and the silicon nitride films are removed according to dry etching using carbon tetrafluoride gas and oxygen. Accordingly the interelement isolating films consisting of the PSG film 14 the surface thereof being surrounded with the Si_3N_4 film and the sides and the base thereof being surrounded with the SiO_2 film 13 can be formed.

COPYRIGHT: (C)1984,JPO&Japio

⑫ 公開特許公報 (A)

昭59-55033

⑤ Int. Cl.³
H 01 L 21/76
// H 01 L 21/302
21/31

識別記号

庁内整理番号
M 8122-5F
8223-5F
7739-5F

④ 公開 昭和59年(1984)3月29日

発明の数 1
審査請求 有

(全 3 頁)

⑬ 素子間分離膜の形成方法

② 特 願 昭57-165740
② 出 願 昭57(1982)9月22日
② 発 明 者 塩谷喜美

川崎市中原区上小田中1015番地
富士通株式会社内
⑦ 出 願 人 富士通株式会社
川崎市中原区上小田中1015番地
⑦ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

素子間分離膜の形成方法

2. 特許請求の範囲

シリコン基板を選択的にリアクティブイオンエッチングして所定パターンのエッチング溝を形成し、該エッチング溝を有するシリコン基板表面に絶縁膜を形成したのち、該基板上に隣シリケートガラス膜を被着して更に、該隣シリケートガラス膜を溶融し、次にエッチング溝内を除いて該基板表面に溶融して被着されている隣シリケートガラス膜をエッチングして除去したのち、前記エッチング溝に埋設されている隣シリケートガラス膜表面に窒化シリコン膜を形成し、更に基板表面に残留している二酸化シリコン膜を除去するようにしたことを特徴とする素子間分離膜の形成方法。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は IC、LS 等の半導体装置製造の際に用いられる素子間分離膜の形成方法の改良に関す

るものである。

(b) 技術の背景

IC、LS 等の半導体装置を形成する際、シリコン(Si)のような半導体基板上に所定パターンの二酸化シリコン(SiO₂)膜を形成し、該 SiO₂膜で画定された領域内にトランジスタ、ダイオード等の半導体素子を形成して半導体装置を製造している。

ところでこのような素子間分離用の SiO₂膜等の絶縁膜はできるだけ面積を小さくして形成し、1枚の Si 基板上にできるだけ多数の半導体素子を高密度に形成することが望ましい。

(c) 従来技術と問題点

従来このような素子間分離用の SiO₂膜の形成方法としては、第1図に示すように表面が(100)面の Si 単結晶基板 1 に所定パターンのホトレジスト膜 2 を形成し、該ホトレジスト膜をマスクとしてカセイカリ(KOH)のエッチング液を用いてエッチングする。このようにすれば、V字状の溝 3 が形成され、この V 字溝 3 の傾斜面 4 が(111)

面となるように異方性エッチングされる。

このようにして形成されたV字溝を有するS1基板表面を O_2 ガスを含んだ H_2O ガスの雰囲気内で加熱して、V字溝内およびS1基板表面に SiO_2 膜を形成してから、V字溝内を除いてS1基板表面に付着している SiO_2 膜を選択的にエッチングして除去する。

そしてこのようなV字溝の SiO_2 膜で固定されたS1基板表面へ半導体素子形成用不純物を導入してIC、LSIの半導体装置を製造するようにしていた。

しかし上述したV字状の素子間分離用 SiO_2 膜をS1基板上に形成したのでは、該V字状の SiO_2 膜がS1基板の表面に到達するにつれて面積が拡大する傾向を生じ、そのため素子間分離用 SiO_2 膜のS1基板表面における面積が増大して、1枚のS1基板に半導体素子を多数集積化して形成できない欠点を生じている。

(d) 発明の目的

本発明は上述した欠点を除去し、IC、LS^I等

3

に説明する。

第2図より第6図までは本発明の素子間分離膜の形成方法の一実施例を示す断面図である。

まず第2図に示すようにS1基板11上に所定パターンのホトレジスト膜(図示せず)を形成後、該S1基板を反応管内の基板設置台上に設置し、該反応管内に四弗化炭素(CF_4)ガスを導入し、該基板設置台と反応管内に設けた電極間に出力100W、周波数13.56MHzの高周波電圧を印加して、S1基板を前記ホトレジスト膜をマスクとしてリアクティブイオンエッチングし、所定パターンの直方体形状に削られたエッチング溝12を形成する。

次に該基板を反応管中に挿入し、反応管内に水(H_2O)中を通過した酸素(O_2)ガスを導入し、二酸化シリコン膜(SiO_2)13をS1基板11表面に第2図のように形成する。これは後の工程で該エッチング溝12内へ燐シリケートガラス(PSG)膜を形成し該PSG膜を溶融したとき燐(P)が基板内にしみ出さないようにするためであ

5

の半導体装置製造の際の工程に用いる素子間分離用絶縁膜を小さい面積で形成し得るようにした新規な素子間分離用絶縁膜の形成方法の提供を目的とするものである。

(e) 発明の構成

かかる目的を達成するための本発明の素子間分離用絶縁膜の形成方法は、シリコン基板を選択的にリアクティブイオンエッチングして所定パターンのエッチング溝を形成し、該エッチング溝を有するシリコン基板表面に絶縁膜を形成したのち、該基板上に燐シリケートガラス膜を被覆し、該燐シリケートガラス膜を溶融後、更にエッチング溝内を除いて該基板表面に溶融して被覆されている。燐シリケートガラス膜をエッチングして除去したのち、前記エッチング溝に埋設されている燐シリケートガラス表面に窒化シリコン膜を形成し、更に基板表面に残留している SiO_2 膜を除去するようにしたことを特徴とするものである。

(f) 発明の実施例

以下図面を用いて本発明の一実施例につき詳細

4

る。

次に第3図に示すように基板11表面にPSG膜14を化学蒸着法(CVD)によつて形成したのち、基板11を反応管内で1050℃~1100℃の温度で加熱してPSG膜を溶融する。このとき溶融したPSG膜が平坦に滑らかに基板上に拡がるようにするには、PSG膜中の燐(P)の濃度が8重量%であることが望ましく、この条件のPSG膜となるように、PSG膜を形成する際反応管中に導入するシラン(SiH_4)ガスの流量とホスフィン(PH_3)ガスの流量を調節する。

次いでV字溝12上を除いたS1基板上にパターニングされたホトレジスト膜(図示せず)を形成したのち、該ホトレジスト膜をマスクとしてV字溝12上以外に形成されているPSG膜を前述した CF_4 ガスを用いてリアクティブイオンエッチングして除去する。この際レジスト膜とPSG膜が均一にエッチングされるようにする。この状態を第4図に示す。

次に該基板上においてV字溝12に埋設されて

6

いるPSG膜14の部分を除いてホトレジスト膜(図示せず)を形成したのち、該ホトレジスト膜をマスクとしてCVD法によりアンモニア(NH_3)ガスと二塩化硅素(SiH_2Cl_2)ガスとを用いて第5図に示すようにV字溝12のPSG膜14上に窒化シリコン膜15を形成する。

その後再びV字溝のPSG膜上にはみホトレジスト膜をパターンニングして形成してから該ホトレジスト膜をマスクとして四弗化炭素(CF_4)ガスと酸素(O_2)を用いて窒化シリコン膜をドライエッチングして除去する。このようにして第6図のように Si_3N_4 膜で表面をまた底面と側面とを SiO_2 膜13で囲まれたPSG膜14よりなる素子間分離膜が形成できる。

このようにすれば最初の工程でエッチング溝を形成する際該エッチング溝を好みの寸法に極く微小面積で寸法精度良く形成することができ、また該溝内を埋めて形成するPSG膜は溶融することで平坦な状態で拡がるので該素子間分離膜を形成した後の基板表面も平坦となる。

(四) 発明の効果

上述したように素子間分離膜が微小な面積で形成できるため、1枚の Si 基板に形成する半導体素子の数が多くなり、高密度に集積化された半導体装置が得られ、素子間分離膜形成後の基板表面も平坦であるので、後の工程で該基板上に素子間を接続する配線膜を形成した場合、断線等の事故も少なくなり高信頼度の半導体装置が得られる利点を生じる。

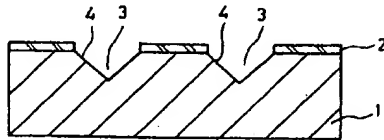
4. 図面の簡単な説明

第1図は従来の素子間分離膜の形成方法を説明するための断面図、第2図より第6図までは本発明の素子間分離膜の形成方法の一実施例を示す断面図である。

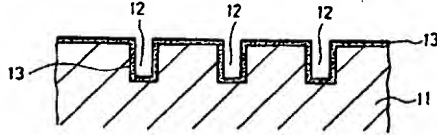
図において1、11は Si 基板、2はホトレジスト膜、3はV字溝、4はV字溝の側面、12はエッチング溝、13は SiO_2 膜、14はPSG膜、15は Si_3N_4 膜を示す。

7

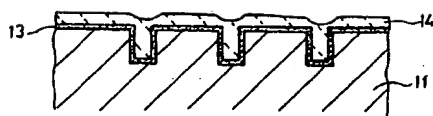
第1図



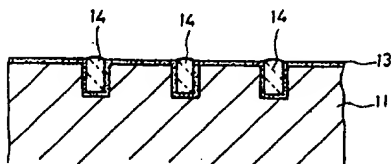
第2図



第3図

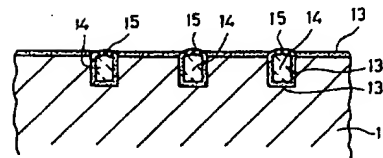


第4図



8

第5図



第6図

